

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-345445
(P2001-345445A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int.Cl.⁷
H 01 L 29/78

識別記号
6 5 2

F I
H 01 L 29/78

テ-マコード(参考)
6 5 2 D

審査請求 未請求 請求項の数6 OL (全5頁)

(21) 出願番号 特願2000-166233(P2000-166233)

(22) 出願日 平成12年6月2日(2000.6.2)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 米谷 伸之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

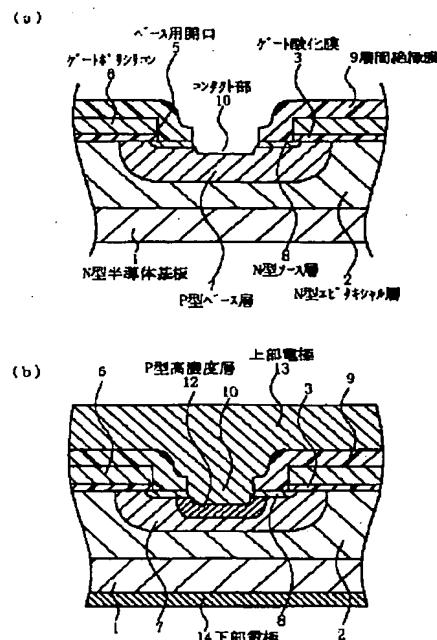
弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来の高耐圧MOSFETでは、P型高濃度層の形成後にN型ソース層の拡散を行い、その後、層間絶縁膜を堆積し、層間絶縁膜をエッチングしてコンタクト部を開口し、コンタクト部に上部電極を形成してP型ベース層とのコンタクトを取っていたため、P型高濃度層の表面濃度が下がり、コンタクト部のコンタクト抵抗の低減効果が小さかった。

【解決手段】 溝の深さがN型ソース層8の拡散層深さの1.1倍以上、P型ベース層7の拡散層深さの0.9倍以下となるように溝11を形成し、その上で、溝11にP型ベース層7の不純物濃度の100~1000倍の不純物濃度となるP型高濃度層12を形成することで、従来の高耐圧MOSFETが示すソースドレイン耐圧を維持しつつ、P型ベース層のコンタクト部のコンタクト抵抗を従来よりも低減することが可能となる。



【特許請求の範囲】

【請求項1】一導電型のドレイン領域と、前記ドレイン領域の表面に形成された逆導電型のベース領域と、前記ベース領域の表面に形成された一導電型のソース領域と、前記ベース領域の表面に形成された逆導電型のベース取出し領域と、前記ソース領域及び前記ドレイン領域に挟まれたベース領域のチャネル部に相当する領域の表面を少なくとも覆うゲート絶縁膜と、少なくとも前記チャネル部の上方を覆い、前記チャネル部と共に前記ゲート絶縁膜を挟む形状に形成されたゲート電極と、前記ゲート電極を含む前記ドレイン領域の表面を覆う層間絶縁膜と、前記ソース領域の一部及び前記ベース取出し領域全体を含む領域の層間絶縁膜を除去して形成されたソース電極用開口部と、前記ソース電極用開口部を覆って前記層間絶縁膜上に形成されたソース電極と、を有する半導体装置であって、前記ベース取出し領域は、前記ベース領域の表面から前記ソース領域を貫通して前記ベース領域に形成された溝の底面及び側面に逆導電型の不純物を導入することにより形成される逆導電型の高濃度不純物拡散層であり、前記溝の深さが、前記ソース領域の接合深さの1.1倍以上、かつ、前記ベース領域の接合深さの0.9倍以下であることを特徴とする半導体装置。

【請求項2】前記逆導電型の高濃度不純物拡散層の不純物濃度は、前記ベース領域の不純物濃度の100~1000倍の範囲の不純物濃度である請求項1記載の半導体装置。

【請求項3】前記逆導電型の高濃度不純物拡散層の不純物濃度は、前記溝の側面においては、前記ソース領域の導電型を反転させない不純物濃度である請求項2記載の半導体装置。

【請求項4】前記ドレイン領域は、一導電型の半導体基板である請求項1、2又は3記載の半導体装置。

【請求項5】前記ドレイン領域は、一導電型の半導体基板及びその上に成長した一導電型のエピタキシャル層からなる請求項1、2又は3記載の半導体装置。

【請求項6】前記一導電型の半導体基板の前記ベース領域と反対の面にはドレイン電極が設けられる請求項4又は5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、高耐圧MOSFETの構造に関し、高耐圧MOSFETの破壊耐量向上に関するものである。

【0002】

【従来の技術】従来の技術による高耐圧MOSFETの主要製造工程断面図を図3に示す。

【0003】従来の高耐圧MOSFETについては、半導体基板がN型の場合について説明を行っている。

【0004】N型半導体基板51上にN型エピタキシャル層52を成長させる。N型エピタキシャル層52の表

面にゲート酸化膜53、ポリシリコンを成長させた後、フォトリソグラフィ技術を用いてポリシリコン及びゲート酸化膜53に窓開けを行って、ベース用開口55を形成し、ゲートポリシリコン56をマスクとしてP型ベース層57を形成する。

【0005】次に、フォトリソグラフィ技術を用いてP型ベース層57内に高濃度のP型の不純物を導入してP型高濃度層62を形成する。レジストを除去した後、再度ゲートポリシリコン56をマスクとしてN型ソース層58を形成する。

【0006】続いて、ベース用開口55を含むN型エピタキシャル層52の表面に層間絶縁膜59を成長させた後、フォトリソグラフィ技術により層間絶縁膜59に窓開けを行いコンタクト部60を形成する。最後に、上部電極63および裏面電極64の形成を行う。

【0007】

【発明が解決しようとする課題】従来の高耐圧MOSFETでは、P型高濃度層62の形成後にN型ソース層58の拡散を行い、その後、層間絶縁膜59を堆積し、層間絶縁膜59をエッチングしてコンタクト部60を開口し、コンタクト部60に上部電極63を形成してP型ベース層57とのコンタクトを取っていた。

【0008】そのため、コンタクト部60でのP型高濃度層62の濃度低下が起こり、コンタクト抵抗が増加し、破壊耐量の低下が起こるといった問題が発生していた。

【0009】本発明の目的は、高耐圧MOSFETにおいて、コンタクト抵抗の増加を防ぎ破壊耐量を向上させることの出来る半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置は、一導電型のドレイン領域と、前記ドレイン領域の表面に形成された逆導電型のベース領域と、前記ベース領域の表面に形成された一導電型のソース領域と、前記ベース領域の表面に形成された逆導電型のベース取出し領域と、前記ソース領域及び前記ドレイン領域に挟まれたベース領域のチャネル部に相当する領域の表面を少なくとも覆うゲート絶縁膜と、少なくとも前記チャネル部の上方を覆い、前記チャネル部と共に前記ゲート絶縁膜を挟む形状に形成されたゲート電極と、前記ゲート電極を含む前記ドレイン領域の表面を覆う層間絶縁膜と、前記ソース領域の一部及び前記ベース取出し領域全体を含む領域の層間絶縁膜を除去して形成されたソース電極用開口部と、前記ソース電極用開口部を覆って前記層間絶縁膜上に形成されたソース電極と、を有する半導体装置であって、前記ベース取出し領域は、前記ベース領域の表面から前記ソース領域を貫通して前記ベース領域に形成された溝の底面及び側面に逆導電型の不純物を導入することにより形成される逆導電型の高濃度不純物拡散層であり、前記溝の深さが、前記ソース領域の接合深さの1.

1倍以上、かつ、前記ベース領域の接合深さの0.9倍以下であることを特徴とし、前記逆導電型の高濃度不純物拡散層の不純物濃度は、前記ベース領域の不純物濃度の100～1000倍の範囲の不純物濃度であり、前記逆導電型の高濃度不純物拡散層の不純物濃度は、前記溝の側面においては、前記ソース領域の導電型を反転させない不純物濃度であり、前記ドレイン領域は、一導電型の半導体基板であるか、或いは、一導電型の半導体基板及びその上に成長した一導電型のエピタキシャル層からなり、前記一導電型の半導体基板の前記ベース領域と反対の面にはドレイン電極が設けられる、というものである。

【0011】

【発明の実施の形態】次に、本発明の実施形態を図1、2を参照して説明する。図1は、本実施形態の高耐圧MOSFETの主要製造工程を示す断面図である。また、本実施形態ではN型半導体基板及びN型エピタキシャル層を用いて説明を行っているが、反対導電型の半導体基板及びエピタキシャル層を用いた場合にも、以後の説明のN型をP型、P型をN型と読み替えることにより、N型半導体基板を用いた場合と同様の効果が得られることは言うまでもない。

【0012】N型半導体基板1の上にN型エピタキシャル層2を成長させる。N型エピタキシャル層2の表面にゲート酸化膜3、ポリシリコンを成長させた後、フォトリソグラフィ技術を用いてポリシリコン及びゲート酸化膜3に窓開けを行って、ベース用開口5を形成し、ゲートポリシリコン6をマスクとしてP型ベース層7及びN型ソース層8を順次形成する。

【0013】次に、ベース用開口5を含むN型エピタキシャル層2の表面に層間絶縁膜9を成長させた後、フォトリソグラフィ技術により層間絶縁膜9に窓開けを行いコンタクト部10を形成する。

【0014】このコンタクト部10の形成時のエッチングにより、層間絶縁膜9だけではなく、N型エピタキシャル層2をその表面から所定の深さまでエッチングして、N型エピタキシャル層2に溝11を形成する。

【0015】上述のエッチングは、この溝11の深さが、N型ソース層8の拡散層深さの1.1倍以上、P型ベース層7の拡散層深さの0.9倍以下になるように制御する。この溝11の深さは、高耐圧MOSFETの破壊耐量の設計および耐圧設計を行うために重要である。

【0016】本実施形態においては、N型半導体基板の上にN型エピタキシャル層を成長させ、N型エピタキシャル層に、拡散層及び溝を形成したが、N型半導体基板の上にN型エピタキシャル層を成長させずにN型半導体基板に直接、拡散層及び溝を形成してもよいことは言うまでもない。

【0017】ここで、溝11の深さが、N型ソース層8の拡散層深さの1.1倍以上、P型ベース層7の拡散層

深さの0.9倍以下になるように制御する必要性について、もう少し詳しく説明する。

【0018】溝11の深さがN型ソース層8の拡散層深さの1.1倍以上必要であるのは、N型ソース層8の拡散層深さよりも確実に溝11の深さが深くなり、後でこの溝11に形成するP型高濃度層12を確実に形成できるようにするためである。

【0019】また、溝11の深さがP型ベース層7の拡散層深さの0.9倍以下になるようにする必要があるのは、溝11の深さをP型ベース層7の拡散層深さの範囲内で深くしてP型高濃度層12を形成した場合、逆バイアス状態でのN型エピタキシャル層2及びP型ベース層7の接合からの空乏層が逆バイアスを大きくしていったときにP型高濃度層12の部分で伸びが小さくなり、より小さな逆バイアスの下で接合のブレークダウンに到るためである。具体的な数値を示すと、溝11の深さをP型ベース層7の拡散層深さとほぼ同じにしたときは、N型ソース層8の拡散層深さの1.1倍にしたときに比べて約10%の耐圧低下が観測された。

【0020】この様子を模式的に示したのが、図2(a)のソースードレイン耐圧(BVDSS) vs 溝深さの関係を示すグラフである。

【0021】次に、層間絶縁膜9をマスクとして、溝にP型の高不純物濃度の不純物を導入し、P型不純物の活性化処理を行ってP型高濃度層12を形成する。このP型高濃度層12の不純物濃度は、高耐圧MOSFETの素子特性を考慮すると、ベース濃度の100倍～1000倍の範囲で設計することが必要となる。最後に、上部電極13および裏面電極14の形成を行う。

【0022】ここで、P型高濃度層12の不純物濃度が、P型ベース層7の不純物濃度の100倍～1000倍の範囲で設計することが必要である理由を以下に説明する。

【0023】P型高濃度層12はベース電位を安定させるために必要であると共に、できる限り良好なオーミック性を得る必要がある。通常、高耐圧MOSFETにおいては、ベース層との安定したオーミック性を得る場合、ベース濃度の100倍以上の不純物濃度が必要である。また、P型高濃度層12の不純物濃度の上限については、オーミック性を得るための熱処理を行う際、P型の不純物濃度が高すぎるとP型高濃度層が深く拡散してしまい、溝11の深さの範囲の必要性で説明した理由と同じ理由により、P型ベース層以上の深さとなり耐圧低下の原因となる。このため、設計耐圧の90%以上となるように設計する場合、P型高濃度層12の不純物濃度はP型ベース層7の不純物濃度の1000倍以下の濃度である必要がある。

【0024】この様子を模式的に示したのが、図2(b)のソースードレイン耐圧(BVDSS) vs P型高濃度層不純物濃度の関係を示すグラフである。

【0025】上記構成の場合、まず、溝の深さがN型ソース層8の拡散層深さの1.1倍以上、P型ベース層7の拡散層深さの0.9倍以下となるように溝11を形成し、し、その上で、溝11にP型ベース層7の不純物濃度の100~1000倍の不純物濃度となるP型高濃度層12を形成することで、従来の高耐圧MOSFETが示すソースドレイン耐圧を維持しつつ、コンタクト部8のコンタクト抵抗を従来よりも低減することが可能となる。

【0026】さらに、N型ソース層5.8の内側にN型ソース層5.8よりも深くP型高濃度層6.2を形成した後に、P型高濃度層6.2の内側に溝6.1を掘って、そこに上部電極6.3を形成する従来の場合よりも、本発明のように、N型ソース層8の内側に溝11を掘った直後に溝11にP型高濃度層12を形成することで、よりコンタクト抵抗を低減することが出来る。

【0027】また、本発明の構造においては、従来におけるP型高濃度層の高濃度拡散層のエッチングをなくすことになり、P型高濃度層の不純物濃度を高く維持することが出来、コンタクト抵抗を低下させることが出来る。これにより、サーボ入力時のバイポーラトランジスタアクション（N型ソース層8/P型ベース層7/N型エピタキシャル層2によって形成されるN型トランジスタ）が起こりにくくなっているインダクタンス負荷耐量といった破壊耐量の低下を防ぐことが可能となる。

【0028】

【発明の効果】以上説明したように、本発明の半導体装置は、溝の深さがN型ソース層の拡散層深さの1.1倍

以上、P型ベース層の拡散層深さの0.9倍以下となるように溝を形成し、その上で、溝にP型ベース層の不純物濃度の100~1000倍の不純物濃度となるP型高濃度層を形成することで、従来の高耐圧MOSFETが示すソースドレイン耐圧を維持しつつ、P型ベース層のコンタクト部のコンタクト抵抗を従来よりも低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態の半導体装置の主要製造工程を工程順に示す断面図である。

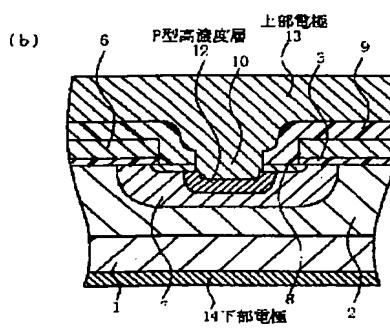
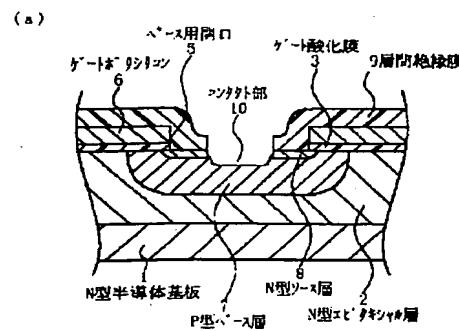
【図2】本発明の実施形態の半導体装置の効果を示すグラフである。

【図3】従来の半導体装置の主要製造工程を工程順に示す断面図である。

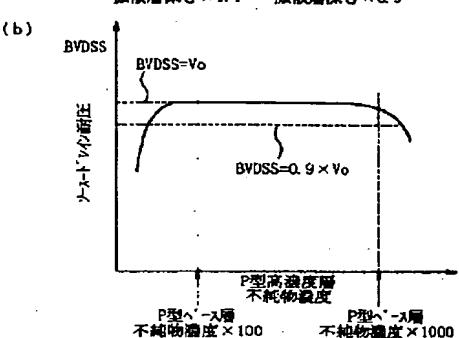
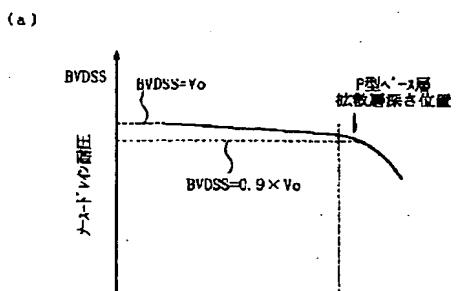
【符号の説明】

1、51	N型半導体基板
2、52	N型エピタキシャル層
3、53	ゲート酸化膜
5、55	ベース用開口
20 6、56	ゲートポリシリコン
7、57	P型ベース層
8、58	N型ソース層
9、59	層間絶縁膜
10、60	コンタクト部
12、62	P型高濃度層
13、63	上部電極
14、64	下部電極

【図1】



【図2】



【図3】

